



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0008631
Application Number

출원 년 월 일 : 2003년 02월 11일
Date of Application
FEB 11, 2003

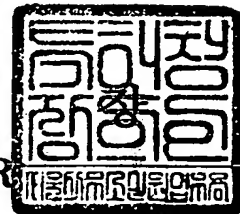
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 25 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.11
【발명의 명칭】	등방성 식각 공정을 이용하여 신뢰성 있는 고성능 커패시터를 형성하는 방법
【발명의 영문명칭】	Method of forming a reliable high performance capacitor using an isotropic etch process
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	박원모
【성명의 영문표기】	PARK, WON MO
【주민등록번호】	651113-1101310
【우편번호】	447-010
【주소】	경기도 오산시 오산동 운암대동아파트 108-1404
【국적】	KR
【발명자】	
【성명의 국문표기】	이윤재
【성명의 영문표기】	LEE, YUN JAE
【주민등록번호】	690425-1673813
【우편번호】	135-080
【주소】	서울특별시 강남구 역삼동 697-33 운정하우스 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	권준모
【성명의 영문표기】	KWON, JOON MO
【주민등록번호】	691026-1675411

【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골주공1단지 155동 1601호
【국적】	KR
【발명자】	
【성명의 국문표기】	한명희
【성명의 영문표기】	HAN,MYOUNG HEE
【주민등록번호】	731114-1408410
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 7-1 월계수동 918
【국적】	KR
【발명자】	
【성명의 국문표기】	유만종
【성명의 영문표기】	YU,MAN JONG
【주민등록번호】	740328-1473817
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 992-4 102호
【국적】	KR
【발명자】	
【성명의 국문표기】	김승범
【성명의 영문표기】	KIM,SEUNG BEOM
【주민등록번호】	740423-1891910
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 7-1 월계수동 809호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	12 항 493,000 원
【합계】	522,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

등방성 식각 공정을 이용하여 신뢰성 있는 고성능 커패시터를 형성하는 방법이 개시된다. 이 방법은 반도체기판 상에 절연층을 형성하고, 상기 절연층을 관통하는 콘택 플러그를 형성하는 것을 구비한다. 상기 콘택 플러그가 형성된 반도체 기판의 전면 상에 식각저지막, 하부 희생산화막 및 상부 희생산화막을 순차적으로 형성한다. 상기 상부 희생산화막 및 상기 하부 희생산화막을 패터닝하여 상기 콘택 플러그 상의 상기 식각저지막을 노출시키고, 상기 하부 희생산화막의 내벽을 등방성 식각하여 확장된 커패시터 홀을 형성한다. 상기 노출된 식각저지막을 식각하여 상기 콘택 플러그 상부면 및 그 주변부의 절연층을 노출시키는 최종 커패시터 홀을 형성한다. 상기 최종 커패시터 홀이 형성된 반도체기판을 산화막 세정액으로 세정하여 상기 노출된 콘택 플러그 상부의 자연산화막을 제거한다.

【대표도】

도 2d

【색인어】

커패시터, 콘택 플러그, 식각저지막, 희생산화막, 유전층, 하부 전극, 상부 전극, 등방성 식각.

【명세서】**【발명의 명칭】**

등방성 식각 공정을 이용하여 신뢰성 있는 고성능 커패시터를 형성하는 방법{Method of forming a reliable high performance capacitor using an isotropic etch process}

【도면의 간단한 설명】

도 1a 내지 도 1c는 미합중국 특허 제6,459,112호에 개시되어 있는 실린더형 커패시터를 형성하는 방법을 설명하기 위해 개략적으로 도시한 단면도들이다.

도 2a 내지 도 2g는 본 발명의 실시예에 의한 등방성 식각 공정을 이용하여 신뢰성 있는 고성능 커패시터를 형성하는 방법을 설명하기 위해 개략적으로 도시한 단면도들이다.

(도면의 주요 부호에 대한 간략한 설명)

100: 반도체기판,

200: 절연층,

250: 콘택 플러그,

300: 식각저지막,

400: 하부 희생산화막,

500: 상부 희생산화막,

550: 세정된 커패시터 홀.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 반도체 장치 제조 방법에 관한 것으로, 특히 등방성 식각 공정을 이용하여 신뢰성 있는 고성능 커패시터를 형성하는 방법에 관한 것이다.
- <9> 디램과 같은 메모리 소자에서는 알파 입자들에 대한 내성은 물론 리프레쉬 주기를 증가시키기 위하여 충분한 정전 용량을 갖는 고성능 셀 커패시터를 요구한다. 상기 고성능 셀 커패시터를 구현하기 위해서는 상부전극(플레이트 전극) 및 하부전극(스토리지 노드 전극) 사이의 오버랩 면적을 증가시키거나 상기 상부전극 및 하부전극 사이에 개재되는 유전체막의 두께를 감소시키는 것이 필요하다. 이에 더하여, 상기 고성능 커패시터를 구현하기 위해서는 상기 유전체막을 고유전상수(high dielectric constant)를 갖는 물질막으로 형성하여야 한다.
- <10> 최근에, 상기 고성능 셀 커패시터를 형성하기 위하여 상기 스토리지 노드 전극의 높이를 증가시키는 방법이 널리 채택되고 있다. 이 경우에, 상기 스토리지 노드 전극의 표면적이 증가한다. 이에 따라, 상기 셀 커패시터의 용량, 즉 셀 커패시턴스가 증가된다.
- <11> 상기 셀 커패시터를 형성하는 방법이 미합중국 특허 제6,459,112호에 "반도체 소자 및 그 반도체 소자를 제조하는 공정(SEMICONDUCTOR DEVICE AND PROCESS FOR FABRICATING THE SAME)"이라는 제목으로 츠보이(Tsuboi)등에 의해 개시된 바 있다.

- <12> 도 1a 내지 도 1c는 상기 미합중국 특허 제6,459,112호에 개시되어 있는 커패시터 형성방법을 개략적으로 설명하기 위한 단면도들이다.
- <13> 도 1a를 참조하면, 반도체기판(10) 상에 산화막으로 이루어진 절연층(20)을 형성한다. 상기 절연층(20)을 사진 및 식각공정으로 패터닝하여 상기 반도체기판(10) 상의 소정영역을 노출시키는 노드 콘택홀들을 형성한다. 상기 노드 콘택홀들을 도전 재료로 매립하여 콘택 플러그들(25)을 형성한다.
- <14> 도 1b를 참조하면, 상기 콘택 플러그들(25)이 형성된 반도체기판의 전면상에 식각저지막(30) 및 희생산화막(40)을 순차적으로 형성한다. 상기 희생산화막(40)을 패터닝하여 상기 식각저지막(30)의 소정영역을 노출시키는 커패시터 홀들을 형성한다. 상기 노출된 식각저지막(30)을 건식 식각하여 상기 콘택 플러그들(25)의 상부면 및 그 주변부의 절연층(20)을 노출시키는 최종 커패시터 홀들을 형성한다. 이때, 상기 식각저지막(20)을 오버에치하여 상기 노출된 콘택 플러그들(25)과 그 주변부의 상기 절연층(20)을 일정깊이까지 식각한다.
- <15> 그 후, 불산을 사용한 산화막 세정 공정을 진행하여, 상기 식각저지막(30) 아래의 상기 절연층(20) 및 상기 희생산화막(40)을 등방성 식각하므로써, 세정된 커패시터 홀들(45)을 형성한다.
- <16> 도 1c를 참조하면, 상기 세정된 커패시터 홀들(40)이 형성된 반도체기판의 전면상에 폴리실리콘층을 형성한다. 상기 희생산화막(40) 상부의 상기 폴리실리콘층을 선택적으로 제거한 후, 상기 희생산화막(40)을 선택적으로 제거하여 커패시터 하부전극들(50)을 형성한다.

<17> 상기 미합중국 특허 제6,459,112호에 따르면, 상기 커패시터 홀 내에 폴리실리콘층을 형성하기 전에, 1회의 세정공정(a single step of cleaning process)을 사용하여 상기 최종 커패시터 홀 내의 폴리머 및 자연산화막을 제거한다. 따라서, 상기 커패시터 홀의 직경을 극대화시키기 위해서는 상기 세정공정을 오랜시간 동안 실시하여야 한다. 이 경우에, 서로 이웃하는 상기 최종 커패시터 홀들 사이의 상기 절연층 내에 관통 홀(through hole)이 형성될 수 있다. 이에 따라, 서로 이웃하는 상기 하부전극들이 서로 전기적으로 연결될 수 있다.

<18> 한편, 상기 관통 홀이 형성되는 것을 방지하기 위하여 상기 세정공정을 짧은 시간 동안 실시하면, 상기 최종 커패시터 홀의 직경을 극대화시키기 어렵다. 결과적으로, 상기 세정공정을 최적화시키기 어렵다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명의 목적은 하부전극들의 표면적들을 최대화시킬 수 있고, 상기 하부전극들 사이에 브릿지가 형성되는 것을 방지할 수 있는 커패시터 형성방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<20> 상기 목적을 달성하기 위하여, 본 발명은 등방성 식각 공정을 이용하여 신뢰성 있는 고성능 커패시터를 형성하는 방법을 제공한다. 이 방법은 반도체기판 상에 절연층을 형성하고, 상기 절연층을 관통하는 콘택 플러그를 형성하는 것을 포함한다. 상기 콘택 플러그가 형성된 반도체 기판의 전면 상에 식각저지막, 하부 희생 산화막 및 상부 희생 산화막을 순차적으로 형성한다. 상기 상부 희생산화막 및 상기 하부 희생산화막의 소정 영역을 연속적으로 식각하여 상기 식각저지막을 노출시키고, 상기 하부 희생산화막을 등

방성 식각하여 확장된 커패시터 홀을 형성한다. 상기 노출된 식각저지막을 건식식각하여 상기 콘택 플러그 상부면 및 그 주변부의 절연층을 노출시키는 최종 커패시터 홀을 형성한다. 상기 최종 커패시터 홀이 형성된 반도체기판을 세정하여 상기 노출된 콘택 플러그 상부면의 자연산화막을 제거한다.

<21> 상기 세정된 커패시터 홀이 형성된 반도체기판 상에 하부전극, 유전층 및 상부전극을 차례로 형성한다.

<22> 본 발명의 바람직한 실시예에 따른 등방성 식각 공정을 이용하여 신뢰성 있는 고성능 커패시터를 형성하는 방법을 도 2a 내지 도 2g를 참조하여 설명하면 다음과 같다.

<23> 도 2a를 참조하면, 반도체기판(100) 상에 산화막으로 이루어진 절연층(200)을 형성한다. 상기 절연층(200)을 사진 및 식각공정으로 패터닝하여 상기 반도체기판(100)의 소정영역을 노출시키는 노드 콘택홀들을 형성한다. 상기 노드 콘택홀들을 도전 재료로 매립하여 콘택 플러그(250)들을 형성한다.

<24> 도 2b를 참조하면, 상기 콘택 플러그(250)들이 형성된 반도체기판의 전면 상에 식각저지막(300), 하부 회생산화막(400) 및 상부 회생산화막(500)을 차례로 형성한다. 상기 식각저지막(300)은 질화막으로 형성하는 것이 바람직하다. 상기 하부 회생산화막(400)은 BPSG, PSG 또는 USG막으로 형성할 수 있다. 상기 상부 회생산화막(500)은 상기 하부 회생산화막(400)에 비해 식각 속도가 느린 산화막으로 형성하며, PE-TEOS를 사용하여 형성할 수 있다.

<25> 상기 상부 회생산화막(500) 및 상기 하부 회생산화막(400)을 사진 및 식각공정으로 패터닝하여 상기 식각저지막(300)을 노출시키는 커패시터 홀들(510)을 형성한다.

- <26> 도 2c를 참조하면, 상기 커패시터 홀들(510)이 형성된 반도체기판 상의 산화막을 등방성 식각한다. 상기 반도체 기판 상의 산화막은 불산용액을 사용하여 등방성 식각할 수 있다. 그 결과, 상기 커패시터 홀(245)들의 내부에 노출된 상기 하부 희생산화막(400)의 내벽이 상기 상부 희생산화막(500)의 내벽에 비해 횡방향으로 리세스되어 확장된 커패시터 홀들(530)이 형성된다.
- <27> 도 2d를 참조하면, 상기 상부 희생산화막(500)을 식각마스크로 하여 상기 확장된 커패시터 홀들(530)의 바닥에 노출된 상기 식각저지막(300)을 식각하여 상기 콘택 플러그들(250)의 상부면과 그 주변부의 절연층(200)을 노출시키는 최종 커패시터 홀들을 형성한다. 이때, 상기 식각저지막(300)을 오버에치하여 상기 콘택 플러그들(250)과 그 주변부의 절연층(200)을 일정 깊이까지 식각할 수 있다.
- <28> 상기 최종 커패시터 홀들이 형성된 반도체기판을 산화막 세정액으로 세정하여, 상기 콘택 플러그들(250) 상부면의 자연산화막을 제거한다. 그 결과, 상기 리세스된 하부 희생산화막(400)의 내벽은 더 리세스되고, 상기 최종 커패시터 홀들의 바닥에 노출된 상기 절연층(200)은 등방성 식각되어, 세정된 커패시터 홀들(550)이 형성된다.
- <29> 본 실시예에서, 상기 세정공정은 단지 상기 콘택 플러그들(250)의 표면에 형성된 자연산화막만을 제거하기 위하여 실시된다. 이에 따라, 상기 세정공정은 종래 기술에 비하여 짧은 시간 동안 실시될 수 있다. 결과적으로, 상기 세정공정 후에 서로 이웃하는 상기 세정된 커패시터 홀들(550) 사이의 상기 절연층(200) 내에 관통 홀이 형성되는 것을 방지할 수 있다.
- <30> 도 2e를 참조하면, 상기 세정된 커패시터 홀(550)들이 형성된 반도체기판의 전면 상에 콘포말한 도전층을 형성한다. 상기 도전층은 폴리실리콘층으로 형성할 수 있다. 상

기 상부 회생산화막(500) 상부면 상의 상기 도전층을 선택적으로 제거하여, 상기 세정된 커패시터 홀들(550) 내에 실린더형의 하부전극들(600)을 형성한다. 상기 하부전극들(600) 각각은 상기 식각저지막(300) 하부에 형성된 기저부(base; 610), 상기 하부 회생산화막(400)을 관통하는 홀의 측벽을 덮는 중간기둥(630) 및 상기 상부 회생산화막(500)을 관통하는 홀의 측벽을 덮는 탑기둥(650)으로 구성된다. 상기 중간기둥(630)의 상부직경은 상기 탑기둥(650)의 하부직경보다 크다. 이에따라, 도 2e에 도시된 바와 같이 상기 중간기둥(630) 및 상기 탑기둥(650) 사이에는 스텝이 존재한다. 상기 하부전극들(600)을 갖는 반도체기판의 전면 상에 유전층(700) 및 상부전극(800)을 차례로 형성한다.

<31> 이에 더하여, 도 2f에 도시된 바와 같이, 상기 유전층(700)을 형성하기 전에 상기 상부 회생산화막(500) 및 상기 하부 회생산화막(400)을 선택적으로 제거하여 상기 실린더형의 하부전극들(600)의 외측벽들을 노출시킬 수도 있다.

<32> 이와는 달리, 상기 세정된 커패시터 홀들(550)이 형성된 반도체기판의 전면 상에 상기 세정된 커패시터 홀들(550)을 완전히 채우는 도전층을 형성하고 상기 상부 회생산화막(500)의 상부면이 노출될 때까지 상기 도전층을 평탄화시키어, 도 2g에 도시된 바와 같이 박스형의 하부전극들(600a)들을 형성할 수도 있다. 상기 박스형의 하부전극들(600a)의 각각은 상기 식각저지막(300) 하부의 공간을 채우는 기저부(base; 610a), 상기 하부 회생산화막(400)을 관통하는 홀을 채우는 중간기둥(630a) 및 상기 상부 회생산화막(400)을 관통하는 홀을 채우는 탑기둥(650a)으로 구성된다. 상기 박스형의 하부전극들(600a)을 형성하는 경우에, 상기 상부 회생산화막(500) 및 하부 회생산화막(400)을 선택적으로 제거하여 상기 박스형의 하부전극들(600a)의 외측벽들을 노출시키는 것이 바람직

하다. 이어서, 상기 박스형의 하부전극들(600a)이 형성된 반도체기판의 전면 상에 상기 유전층(700) 및 상기 상부전극(800)을 차례로 형성한다.

<33> 한편, 상기 유전층(700)을 형성하기 전에 상기 하부전극들(600 또는 610a)의 표면 상에 선택적으로 반구형 실리콘 반구형 실리콘막(hemispherical grain silicon layer; 도시하지 않음)을 형성할 수 있다.

【발명의 효과】

<34> 본 발명에 의하면, 커패시터 하부 전극들의 표면적을 최대화시키면서, 커패시터 하부 전극들 사이의 전기적 브리지를 방지할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판 상에 절연층을 형성하는 단계;

상기 절연층을 관통하는 콘택 플러그를 형성하는 단계;

상기 콘택 플러그가 형성된 반도체 기판의 전면 상에 식각저지막, 하부 희생 산화막 및 상부 희생산화막을 차례로 형성하는 단계;

상기 상부 희생산화막 및 상기 하부 희생산화막을 패터닝하여 상기 콘택 플러그 상의 상기 식각저지막을 노출시키는 커패시터 홀을 형성하는 단계;

상기 하부 희생산화막을 등방성 식각하여 확장된 커패시터 홀을 형성하는 단계;

상기 노출된 식각저지막을 식각하여 상기 콘택 플러그 상부면 및 그 주변부의 절연층을 노출시키는 최종 커패시터 홀을 형성하는 단계;

상기 최종 커패시터 홀이 형성된 반도체기판을 세정하여, 상기 노출된 콘택 플러그 상부면의 자연산화막을 제거하는 단계를 포함하는 커패시터 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 식각저지막은 질화막으로 형성되는 것을 특징으로 하는 커패시터 형성방법.

【청구항 3】

제 1 항에 있어서,

상기 하부 희생산화막은 상기 상부 희생산화막에 비해 등방성 식각속도가 빠른 산화막으로 형성되는 것을 특징으로 하는 커패시터 형성방법.

【청구항 4】

제 1 항에 있어서,

상기 하부 희생 산화막은 BPSG, PSG 또는 USG 막으로 형성되는 것을 특징으로 하는 커패시터 형성방법.

【청구항 5】

제 1 항에 있어서,

상기 상부 희생 산화막은 PE-TEOS로 형성하는 것을 특징으로 하는 커패시터 형성방법.

【청구항 6】

제 1 항에 있어서,

상기 확장된 커패시터 홀은 상기 커패시터 홀 내부에 노출된 상기 하부 희생산화막을 습식 식각하여 형성하는 것을 특징으로 하는 커패시터 형성방법.

【청구항 7】

제 6 항에 있어서,

상기 습식 식각은 불산용액을 사용하여 실시하는 것을 특징으로 하는 커패시터 형성방법.

【청구항 8】

제 1 항에 있어서,

상기 세정된 커패시터 홀이 형성된 반도체 기판의 전면상에 도전층을 형성하는 단계;

상기 상부 희생산화막 상의 도전층을 선택적으로 제거하여 상기 세정된 커패시터 홀 내에 하부전극을 형성하는 단계; 및

상기 하부전극이 형성된 반도체기판의 전면 상에 유전층 및 상부 전극을 차례로 형성하는 단계를 더 포함하는 것을 특징으로 하는 커패시터 형성방법.

【청구항 9】

제 8 항에 있어서,

상기 도전층은 상기 세정된 커패시터 홀의 단차를 따라 콘포말하게(conformably) 형성하되, 상기 하부전극은 실린더형의 단면을 갖는 것을 특징으로 하는 커패시터 형성방법.

【청구항 10】

제 9 항에 있어서,

상기 유전층 및 상기 상부전극을 형성하기 전에 상기 상부 희생산화막 및 상기 하부 희생산화막을 선택적으로 제거하여 상기 하부전극의 외측벽을 노출시키는 단계를 더 포함하는 것을 특징으로 하는 커패시터 형성방법.

【청구항 11】

제 8 항에 있어서,

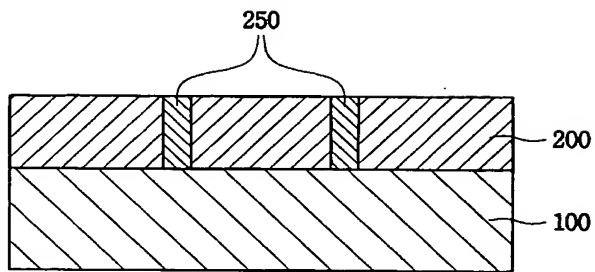
상기 도전층은 상기 세정된 커패시터 홀을 채우도록 형성하되, 상기 하부전극은 박스형의 단면을 갖는 것을 특징으로 하는 커패시터 형성방법.

【청구항 12】

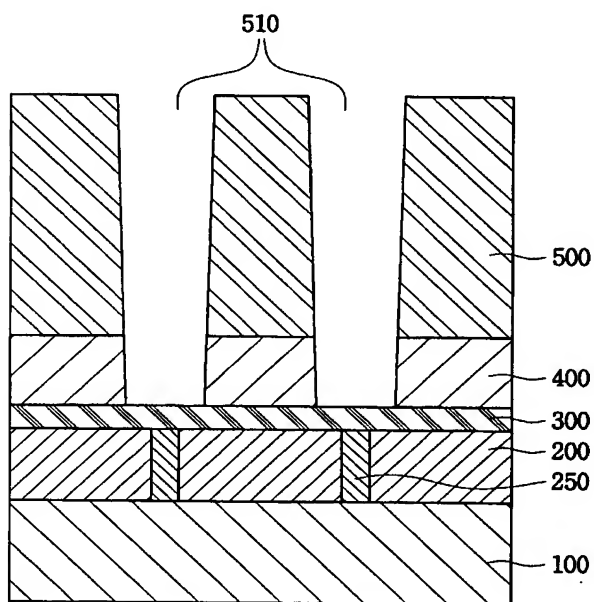
제 11 항에 있어서,

상기 유전층 및 상기 상부전극을 형성하기 전에 상기 상부 희생산화막 및 상기 하부 희생산화막을 선택적으로 제거하여 상기 하부전극의 외측벽을 노출시키는 단계를 더 포함하는 것을 특징으로 하는 커패시터 형성방법.

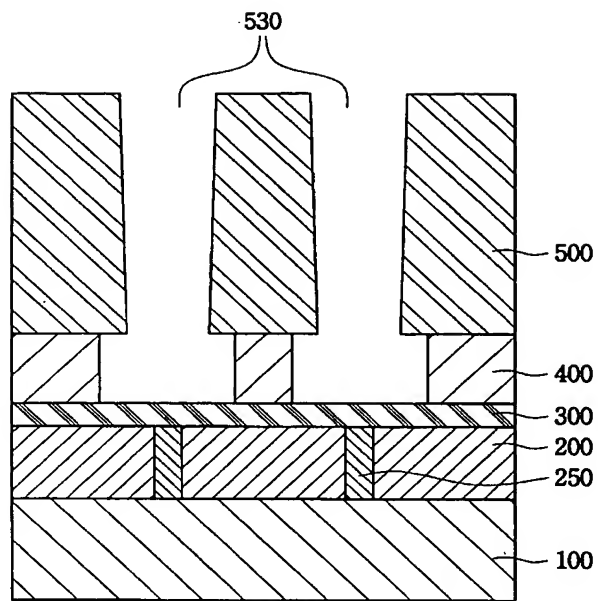
【도 2a】



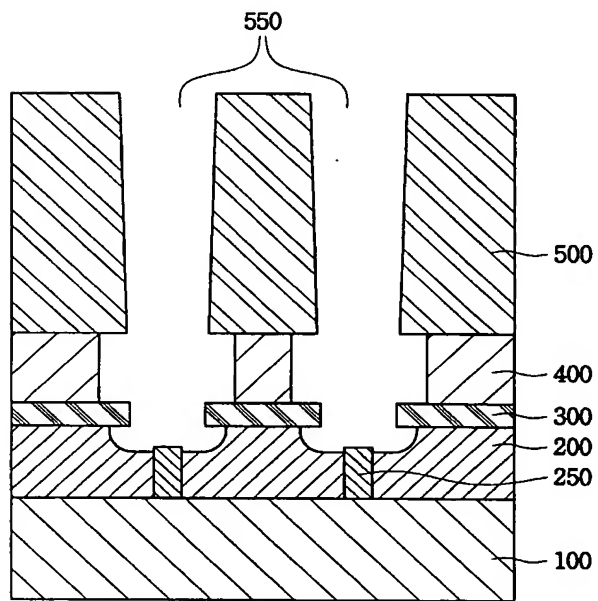
【도 2b】



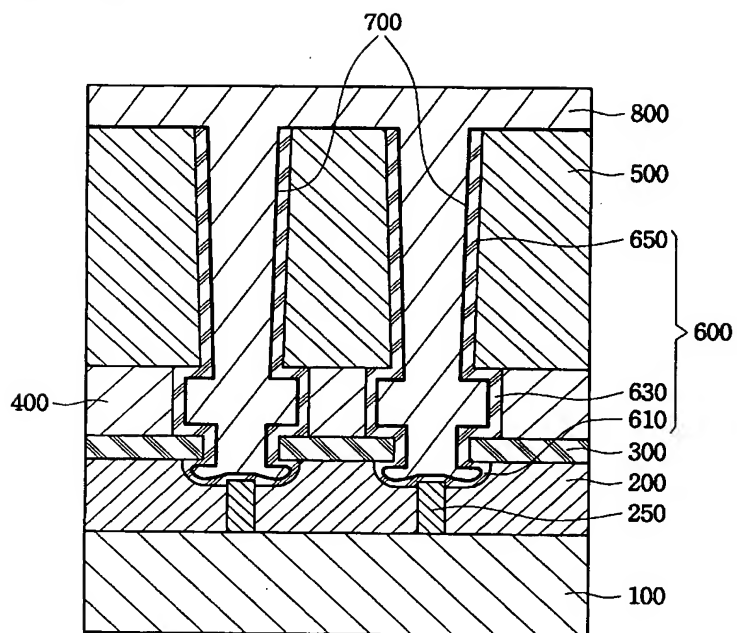
【도 2c】



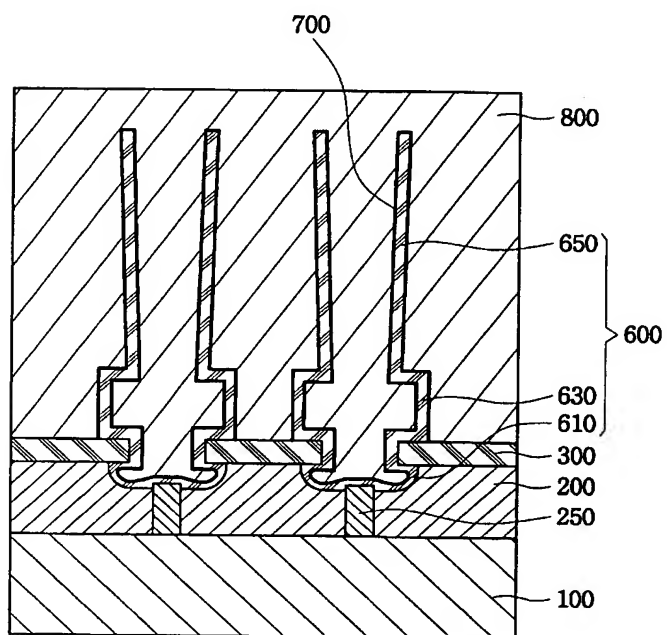
【도 2d】



【도 2e】



【도 2f】



【도 2g】

